

⑫ 公開特許公報(A)

昭62-297947

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)12月25日

G 06 F 11/34

7343-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 メモリダンプ方式

⑮ 特 願 昭61-141158

⑯ 出 願 昭61(1986)6月17日

⑰ 発 明 者 玉 井 和 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 河原 純一

明 細 書

1. 発明の名称

メモリダンプ方式

2. 特許請求の範囲

1次記憶の内容を入力する1次記憶入力手段と、

2次記憶に格納されているロードモジュールファイルの内容を入力する2次記憶入力手段と、

前記1次記憶入力手段により入力された前記1次記憶の内容と前記2次記憶入力手段により入力されたロードモジュールファイルの内容とを比較する比較手段と、

前記1次記憶入力手段により入力された前記1次記憶の内容の内の前記2次記憶入力手段により入力されたロードモジュールファイルの内容と一致していないと前記比較手段により判定された部分のみを編集して送信する送信手段と、

を有することを特徴とするメモリダンプ方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はメモリダンプ方式に関し、特に2次記

憶内にプログラムのロードモジュールファイルを有するプログラム内蔵方式の情報処理装置において1次記憶の内容を他の情報処理装置に送信するメモリダンプ方式に関する。

(従来の技術)

従来、この種のメモリダンプ方式は、1次記憶の全領域あるいは指定された領域の内容をそのまま他の情報処理装置に送信する方式であった。

(発明が解決しようとする問題点)

一般に情報処理装置のメモリダンプはハードウェアまたはソフトウェアの障害原因の調査のために行われるが、上述した従来のメモリダンプ方式は、1次記憶の内容のうちのプログラムのロード時以降に変更されていないプログラム領域のようなその目的のために必要でない領域の内容までも送信するようになっているので、送信するデータ量が多くなり送信に長時間を要するという欠点がある。

また、1次記憶の内容を受信した側の情報処理装置において受信内容を印刷装置を用いて出力リ

ストとして出力する場合には、多くの印字時間および印字用紙を要するという欠点もある。

さらに、1次記憶の全領域の内容を出力リストとして出力させた場合には、出力リストからプログラム中の変更を受けている部分を判断するのが容易でないという欠点がある。

本発明の目的は、上述の点に鑑み、1次記憶の内容の内の2次記憶に格納されているロードモジュールファイルの内容とは異なる部分のみを送信することにより、送信データ量および送信時間を削減するようにしたメモリダンプ方式を提供することにある。

(問題点を解決するための手段)

本発明のメモリダンプ方式は、1次記憶の内容を入力する1次記憶入力手段と、2次記憶に格納されているロードモジュールファイルの内容を入力する2次記憶入力手段と、前記1次記憶入力手段により入力された前記1次記憶の内容と前記2次記憶入力手段により入力されたロードモジュールファイルの内容とを比較する比較手段と、前記

1次記憶入力手段により入力された前記1次記憶の内容の内の前記2次記憶入力手段により入力されたロードモジュールファイルの内容と一致していないと前記比較手段により判定された部分のみを編集して送信する送信手段とを有する。

(作用)

本発明のメモリダンプ方式では、1次記憶入力手段が1次記憶の内容を入力し、2次記憶入力手段が2次記憶に格納されているロードモジュールファイルの内容を入力し、比較手段が1次記憶入力手段により入力された1次記憶の内容と2次記憶入力手段により入力されたロードモジュールファイルの内容とを比較し、送信手段が1次記憶入力手段により入力された1次記憶の内容の内の2次記憶入力手段により入力されたロードモジュールファイルの内容と比較手段により一致していないと判定された部分のみを編集して送信する。

(実施例)

次に、本発明について図面を参照して説明する。

図は、本発明の一実施例の構成を示すブロック

図である。本実施例のメモリダンプ方式では、メモリダンプのデータを送信する送信側の情報処理装置1と、メモリダンプのデータを受信する受信側の情報処理装置2とは、通信回線3を介して接続されている。

送信側の情報処理装置1は、プログラムのロードモジュールファイル131を含む2次記憶13と、2次記憶13内のロードモジュールファイル131からプログラムをその内部にロードし実行させるための1次記憶12と、1次記憶12の内容を通信回線3を介して受信側の情報処理装置2に送信するためのメモリダンプ機構11とを含んで構成されている。

メモリダンプ機構11は、受信側の情報処理装置2からのメモリダンプ指示を受信するためのダンプ指示受信部111と、受信されたメモリダンプ指示に従って1次記憶12の内容を入力するための1次記憶入力部112と、同じくメモリダンプ指示に従って2次記憶13内のロードモジュールファイル131の内容を入力するための2次記憶入力部113

と、1次記憶入力部112により入力された1次記憶12の内容と2次記憶入力部113により入力されたロードモジュールファイル131の内容とを比較するための比較部114と、1次記憶入力部112により入力された1次記憶12の内容のうちの2次記憶入力部113により入力されたロードモジュールファイル131の内容と一致していないと比較部114により判定された部分のみを受信側の情報処理装置2に送信するための送信部115とから構成されている。

次に、このように構成された本実施例のメモリダンプ方式の動作について説明する。

受信側の情報処理装置2から通信回線3を介してダンプ指示受信部111がメモリダンプ指示を受信すると、ダンプ指示受信部111はその指示に従って1次記憶入力部112と2次記憶入力部113とに入力指示を送出する。ダンプ指示受信部111からの入力指示に従って、1次記憶入力部112は1次記憶12の内容を入力し、2次記憶入力部113は2次記憶13からロードモジュールファイル131の

内容を入力する。

続いて、比較部114が、1次記憶入力部112により入力された1次記憶12の内容と2次記憶入力部113により入力されたロードモジュールファイル131の内容とをともに一定サイズのブロックに分割し、そのブロック単位で1次記憶12の内容をロードモジュールファイル131の内容と比較し、1次記憶12の内容のうちのロードモジュールファイル131の内容と一致していないと判定したブロックのみについてそのブロックの内容に1次記憶12におけるそのブロックの開始アドレスを付加した形式の送信データを作成して送信部115に渡す。

送信部115は、比較部114から渡された送信データを通信回線3を介して情報処理装置2に送信する。

このようにして、1次記憶12の内容のうちのロードモジュールファイル131の内容と異なる部分のみが編集されて受信側の情報処理装置2に送られる。受信データを受信した情報処理装置2は、受信データを処理してメモリダンプを作成すると

ともに、必要に応じて図示しない印刷装置によりメモリダンプを出力リストとして出力する。

〔発明の効果〕

以上説明したように本発明は、情報処理装置の1次記憶の内容を他の情報処理装置に送信する際に2次記憶に格納されているプログラムのロードモジュールファイルの内容を参照してロードモジュールファイルの内容と異なる部分のみを送信することにより、送信されるデータの量および送信に要する時間を格段的に減少させることができるという効果がある。

また、送信データを受信した情報処理装置側でその内容を印刷装置を用いて出力する場合に、出力に要する印字時間と印字用紙とを削減できるという効果がある。

さらに、印刷装置の出力リストからプログラム中の変更を受けている部分が容易に判別できるという効果もある。

4. 図面の簡単な説明

図は本発明の一実施例の構成を示すブロック図

である。

図において、

- 1. 2・・・情報処理装置、
- 3・・・・通信回線、
- 11・・・・メモリダンプ機構、
- 12・・・・1次記憶、
- 13・・・・2次記憶、
- 111・・・・ダンプ指示受信部、
- 112・・・・1次記憶入力部、
- 113・・・・2次記憶入力部、
- 114・・・・比較部、
- 115・・・・送信部、
- 131・・・・ロードモジュールファイルである。

特許出願人 日本電気株式会社

代理人 弁理士 河原 純一

